



Karlsruher Institut für Technologie
Institut für Technische Informatik
Prof. Dr. Wolfgang Karl

Klausur Rechnerstrukturen
Wintersemester 2013/14 – 26. Feb. 2014
Aufgabenteil

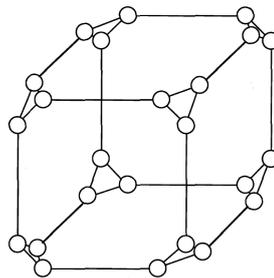
Aufgabe 1: Verbindungsstrukturen & Vektorverarbeitung

10P

Verbindungsstrukturen

5P

- a) Was versteht man unter der Skalierbarkeit eines Verbindungsnetzes? *1P*
- b) Zeichnen Sie das Grundmuster der Kreuzpermutation mit 8 Eingängen und 8 Ausgängen auf. Verwenden Sie hierfür als Hilfe die Vorgaben in den Lösungsblättern. *1P*
- c) Gegeben ist folgendes Ring-Würfel-Netzwerk: *1P*



Bestimmen Sie den Durchmesser sowie die minimale Bisektionsbreite.

- d) Welche Bedingung muss bei einem fehlertoleranten Netzwerk erfüllt sein? *1P*
- e) Geben Sie für einen K -ären n -Kubus die Anzahl N der Knoten sowie den Knotengrad (mit Rückwärtskanten) der einzelnen Knoten in diesem Netzwerk an. *1P*

Vektorverarbeitung:

5P

- f) Vervollständigen Sie das Code-Fragment auf dem Lösungsblatt mittels Vektorbefehlen in Assembler um das folgende Programm zu realisieren: *4P*

```

unsigned char i;
unsigned char a[64], b[64], c[64];
for (i = 0; i < 64; i++) {
    c[i] = a[i];
    if (a[i] == 0xff) {
        c[i] = b[i];
    }
}

```

- g) Vektorbefehle werden oft durch ein spezielles Speichersystem mit Verschränkung (memory interleaving) und mehreren Speicherbänken unterstützt. Wie lange dauert ein Ladebefehl eines 32-elementigen Vektors bei 8 Speicherbänken und einer Latenz von 5 Zyklen *1P*
- mit einem Stride von 1,
 - bei einem Stride von 8?

Aufgabe 2: Low-Power-Entwurf & Rechnerbewertung 8P

Low-Power-Entwurf 3,5P

- a) Die schaltungstechnische Umsetzung der Funktion $f = A \wedge B \wedge C \wedge D$ können Sie auf zwei grundsätzliche Arten vornehmen, nämlich: 1P
- $f_1 = (A \wedge B) \wedge (C \wedge D)$
 - $f_2 = ((A \wedge B) \wedge C) \wedge D$

Ohne Berechnung: Wie sind diese beiden Lösungen hinsichtlich der Summe der Schaltwahrscheinlichkeiten S und Durchlaufzeit D zu beurteilen? Vervollständigen Sie auf dem Lösungsblatt die entsprechenden Relationen.

- b) Die Leistungsaufnahme P_{total} von CMOS-Schaltungen beinhaltet einen statischen und einen dynamischen Teil. Ordnen Sie die Bestandteile von P_{total} jeweils dem statischen bzw. dynamischen Teil zu und geben Sie an, welcher Bestandteil von der Schaltfrequenz unabhängig ist und aufgrund der heutigen Miniaturisierung einen wesentlichen Einfluss auf die Leistungsaufnahme hat. 2,5P

Leistungsbewertung 4,5P

Zur Quantifizierung der Leistungsfähigkeit eines Rechensystems liefert Ihnen der Rechnerhersteller folgende Werte: Prozessortaktfrequenz, MIPS, CPI und einen SPECint-Wert.

- c) Welcher dieser Werte erscheint Ihnen am sinnvollsten zur Beurteilung der Leistungsfähigkeit? Begründen Sie Ihre Antwort. 1P
- d) Wie hängen Prozessortaktfrequenz f , MIPS und CPI zusammen? Geben Sie eine Formel an, welche den direkten Zusammenhang dieser drei Größen demonstriert. 0,5P
- e) Bei den durchzuführenden Berechnungen muss häufig auf Festplattenspeicher zugegriffen werden. Welche zwei grundsätzlichen Kenngrößen sind hierfür von Interesse und wie leiten Sie hieraus Bedienzeit X_i und maximale Auslastung D_{imax} ab? 1,5P

Zwei Prozessoren arbeiten die selbe Problemstellung ab. Die Abarbeitungszeit sei hierfür identisch. Für Prozessor 1 ermitteln Sie einen MIPS-Wert von 1800, Prozessor 2 erziele 1000 MIPS. Der CPI-Wert beider Prozessoren sei identisch.

- f) Unter Beachtung von Codegröße und Energieverbrauch: Welchen Prozessor würden Sie einsetzen und warum? 1,5P

Aufgabe 3: Prozessorarchitektur

11P

Sprungvorhersage

8P

Ein Prozessor verwendet pro Sprungbefehl einen eigenen 1-Bit Prädiktor. Folgendes Codefragment laufe auf diesem Prozessor:

```

                MOV r0, #1          ; r0=1
loop1:          MOV r1, #3          ; r1=3
loop2:          <...>              ; (Schleifenkörper)
                SUB r1, r1, #1      ; r1=r1-1
                BRNEQ loop2         ; goto loop2, wenn nicht r1==0
                SUB r0, r0, #1      ; r0=r0-1
                BREQ loop1          ; goto loop1, wenn r0==0

```

- Die beiden Prädiktoren werden jeweils mit dem Zustand T initialisiert. Tragen Sie hierfür Registerinhalt, alten und neuen Zustand des jeweiligen Prädiktors, sowie den Ausgang der Vorhersage in die dafür vorgesehene Tabelle. (Markieren Sie Fehlvorhersagen mit “falsch”, korrekte Vorhersagen mit “richtig”.) 4P
- Gibt es eine günstigere Initialisierung für die beiden Prädiktoren? Begründen Sie Ihre Antwort. 1P
- Erläutern Sie das Konzept der (m,n)-Korrelationsprädiktoren und erklären Sie, wieso diese einfachen n-Bit Prädiktoren überlegen sind. Zeigen Sie, daß (m,n)- Korrelationsprädiktoren eine Oberklasse der n-Bit Prädiktoren sind. 3P

Pipelining

3P

- Geben Sie die Formeln für die Ausführungszeit T jeweils für den Fall mit und ohne Pipeline und den durch Pipelining erzielten Speedup S für eine k -stufige, ideale Pipeline in Abhängigkeit der Anzahl Befehle n an. 1,5P
- Eine skalare Architektur verwende eine 5-stufige Pipeline. Die Anzahl der in einem gegebenen Programm ausgeführten Befehle betrage 12000. 1,5P

Statistisch gesehen trete bei jedem viertem Befehl als Ergebnis von Datenabhängigkeiten ein Konflikt auf, der einen Leerzyklus zur Auflösung bewirkt; jeder zehnte Befehl sei statistisch gesehen ein Sprungbefehl, der zu einer Verzögerung von jeweils 2 Takten führe. Berechnen Sie die Ausführungszeit T und schätzen Sie die Beschleunigung S geeignet ab.

Aufgabe 4: Speicherhierarchie

10P

Cache-Kohärenzprotokoll MESI

6P

Ein Dreiprozessorsystem sei speichergekoppelt. Die Caches haben je eine Größe von zwei Cache-Zeilen, welche je genau ein Speicherwort aufnehmen können. Die Füllung des Caches erfolgt von der niedrigsten Cachezeile aufwärts, sofern noch freie Zeilen zur Verfügung stehen, andernfalls wird gemäß LRU-Strategie verdrängt. Als Cache-Kohärenzprotokoll komme das MESI-Protokoll zum Einsatz. Der Cache sei initial leer. Aktionen, die durch das Cache-Kohärenzprotokoll ausgelöst werden und die eine Zustandsänderung einer Cachezeile bewirken, werden auch von der LRU-Strategie als Zugriff gewertet.

- Vervollständigen Sie die auf dem Lösungsblatt angegebene Tabelle: Geben Sie jeweils Inhalt der Cache-Zeile und MESI-Zustand an. 4P
- Führt in diesem Fall die Verwendung des MOESI gegenüber des MESI-Protokolls zu einer Leistungssteigerung und wenn ja, warum? Geben Sie ggfs. bei Ihrer Antwort die betroffene(n) Zeile(n) an. 1P
- Welche Auswirkungen hätte es für dieses Beispiel, wenn die LRU-Strategie Zustandsänderungen durch das Cache-Kohärenzprotokoll nicht als Zugriff berücksichtigt? Geben Sie bei Ihrer Antwort jeweils die Zeile, den betroffenen Prozessor und die veränderte Aktion sowie deren Folgen an. 1P

Cache-Leistung

4P

Sie sollen prüfen, ob es vorteilhaft wäre eine bestehende Speicherhierarchie (Variante A) durch eine veränderte Variante B zu ersetzen. In der Variante A findet der Zugriff auf die nächste Hierarchieebene parallel zur ersten Ebene statt, während Variante B diese nacheinander anfragt (sequentiell).

	Variante A	Variante B
Zugriffszeit L1	4 ns	6 ns
Hitrate L1	80 %	80 %
Zugriffszeit L2	20 ns	19 ns
Hitrate L2	80 %	75 %
Zugriffszeit Hauptspeicher	100 ns	100 ns

- Um eine fundierte Aussage treffen zu können, berechnen Sie die durchschnittliche Antwortzeit für beide Varianten. Welche Variante empfehlen Sie und warum? 3P
- Das System soll nun zu einem Multiprozessorsystem mit gemeinsam verwendeten Speicher ausgebaut werden, indem die Prozessoren mittels eines Busses verbunden werden. Beziehen Sie diesen Gesichtspunkt nun in die vorherige Bewertung der Ergebnisse der zwei Varianten mit ein. Verändert dieser Aspekt den Schluß aus Ihrer Bewertung? Begründen Sie. 1P

Aufgabe 5: Parallele Architekturen und Hardwareentwurf

11P

Parallele Architekturen

6P

- a) Vervollständigen Sie die Grafik auf dem Lösungsblatt, indem Sie die beim Parallelisierungsprozess durchzuführenden Schritte in die jeweils vorgesehene Box eintragen. 2P
- b) Ein gegebenes paralleles Programm mit dazugehörigen Daten ist bisher auf einem Parallelrechner mit 128 Kernen ausgeführt worden. Nach dem Neukauf eines leistungsfähigeren Rechners mit 64000 Kernen zeigt die Ausführung nicht die gewünschte Beschleunigung. Was ist für die Skalierbarkeit eines Parallelrechners besonders wichtig? 1P
- c) Tragen Sie die folgenden Begriffe an der richtigen Stelle in die Tabelle auf den Lösungsblättern ein. 3P
- SMP
 - DSM
 - Nachrichtengekoppelter Multiprozessor
 - UMA
 - NUMA
 - NORMA

Jede korrekte Antwort gibt einen halben Punkt, für jeden falsch eingetragenen Begriff wird ein halber Punkt abgezogen. Die Aufgabe wird nicht mit weniger als 0 Punkten bewertet.

Hardware-Entwurf

5P

Mittels Hardwarebeschreibungssprachen wie VHDL oder Verilog kann das Verhalten von digitalen Schaltungen auf einem hohen Abstraktionslevel beschrieben werden.

- d) Nennen Sie jeweils zwei Vor- und Nachteile bei der Verwendung von automatischen Synthesewerkzeugen zur Erzeugung einer digitalen Schaltung. 2P
- e) Ausgehend von einer Verhaltensbeschreibung in VHDL, welche drei Syntheseschritte müssen von den automatischen Synthesewerkzeugen durchgeführt werden, um letztendlich einen Chip fertigen zu können. Nennen Sie hierbei auch die aus den einzelnen Syntheseschritten generierten Beschreibungen. 3P

Aufgabe 6: Parallelismus auf Befehlsebene

10P

Parallelismus auf Befehlsebene

6P

a) Die VLIW- und die Superskalartechnik sind beides Techniken zur Ausnutzung von Parallelismus auf Befehlsebene. Worin unterscheiden sich beide Techniken? *1P*

b) Algorithmus von Tomasulo: *5P*

Untenstehend finden Sie den Zustand der Reservierungstabelle und der Registerdatei eines Superskalarprozessors nach Abarbeitung des ersten Taktes der in Listing 1 dargestellten Befehlsfolge. Geben Sie den Zustand der Reservierungstabelle, sowie der Registerdatei nach Ablauf von Takt 4, d.h. nach drei weiteren Takten, unter Berücksichtigung der in Listing 1 dargestellten Befehlsfolge wieder.

Pro Takt kann ein Befehl in die Reservierungstabelle eingetragen werden. Eine Subtraktion benötigt 2 Takte, eine Multiplikation 6 Takte und eine Division 9 Takte.

Takt	Befehlsfolge
1	sub R4, R1, R3
2	div R3, R2, R4
3	sub R2, R1, R2
4	mul R1, R2, R3

Listing 1

(Format: Opcode Ziel, Quelle 1, Quelle 2)

Feld	R1	R2	R3	R4
Value	(R1)	(R2)	(R3)	–
Valid	1	1	1	0
RS	–	–	–	Add/Sub 1

Registerdatei

Unit	Empty	InFU	Op	Dest	Src1	Vld1	RS1	Src2	Vld2	RS2
Add/Sub 1	0	0	sub	R4	(R1)	1	–	(R3)	1	–
Add/Sub 2	1									
Mul 1	1									
Div 1	1									

Reservierungstabelle

- c) Es stehen zwei VLIW-Prozessorsysteme zur Auswahl. Das System A hat 2 universell einsetzbare Funktionseinheiten und eine VLIW-Breite von nur 2 Befehlen. Das System B hat drei spezifische Funktionseinheiten, wobei eine für Integer-Operationen, eine für Gleitkommaoperationen und die letzte für Speicherzugriffsoperationen zuständig ist. System B kann somit drei Befehle innerhalb eines Worts zur Verfügung stellen. Nehmen Sie vereinfachend an, dass alle Befehle innerhalb eines Taktzykluses abgearbeitet werden können. 4P

```
1  fpdiv f3, f1, f2 ; f3 = f1 / f2
2  fpadd f5, f3, f1 ; f5 = f3 + f1
3  ld r4, [r1]      ; load r4 from mem[r1]
4  ld r5, [r2]      ; load r5 from mem[r2]
5  add r7, r4, r5   ; r7 = r4 + r5
6  ld r6, [r7]      ; load r6 from mem[r7]
7  sub r8, r6, r7   ; r8 = r6 - r7
8  st [r5], r7      ; store r7 to mem[r5]
```

Tragen Sie die obigen Befehle möglichst kompakt in den jeweiligen Ablaufplan auf dem Lösungsblatt ein. Für welches System würden Sie sich entscheiden, wenn obiger Programmcode als Referenz dient?



Karlsruher Institut für Technologie
Institut für Technische Informatik
Prof. Dr. Wolfgang Karl

Klausur Rechnerstrukturen

Wintersemester 2013/14 – 26. Feb. 2014

Lösungsteil

Name: _____

Vorname: _____

Matrikelnummer: _____

Tragen Sie bitte auf jedem Blatt Ihren Namen und Ihre Matrikelnummer ein. Bitte tragen Sie alle Lösungen und Rechenwege an den vorgesehen Stellen ein und geben Sie keine zusätzlichen Blätter ab, ohne dies dem Aufsichtspersonal mitzuteilen.

Hinweis: Bei Rechenaufgaben ist die Angabe des Rechenwegs zwingend erforderlich. Ergebnisse ohne Rechenweg werden **nicht** gewertet.

Zum Bestehen der Klausur sind mindestens 20 Punkte erforderlich.

- Ich wünsche **keine** Notenveröffentlichung per Aushang (Matrikelnummer und Note) am schwarzen Brett
(Bei Ankreuzen kann die Note erst in der Klausureinsicht erfragt werden.)

Erreichte Punkte (wird vom Institut ausgefüllt):

Aufgabe	1	2	3	4	5	6
Punkte	/10	/8	/11	/10	/11	/10
Summe:						/60

Lösung 1: Verbindungsstrukturen & Vektorverarbeitung

10P

Verbindungsstrukturen

5P

a)

1P

b) Kreuzpermutation:

1P

a_3	a_2	a_1	a_1	a_2	a_3
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	1	0	0
1	0	1	1	0	1
1	1	0	1	1	0
1	1	1	1	1	1

c)

1P

- Durchmesser:
- Minimale Bisektionsbreite:

d)

1P

e)

1P

- Anzahl der Knoten:
- Verbindungsgrad:

Vektorverarbeitung:**5P**

Vektorbefehle, die zur Lösung der Aufgabe zur Verfügung stehen:

```
ADDV V1,V2,V3      # V1 = V2 + V3
ADDVS V1,V2,S0     # V1 = V2 + S0
SUBV V1,V2,V3      # V1 = V2 - V3
SUBVS V1,V2,S0     # V1 = V2 - S0
SEQVS V1,S0        # Vergleiche Elemente in V1 mit S0 und setze VMR
CVM                # Clear Vector Mask Register (VMR)
MOV S0,#imm        # Schreibe Wert #imm in S0
```

f) Assemblercode:

4P

```
MOV R1, 64          # R1 mit 64 initialisieren
MTC1 VLR, R1        # vector-length register := 64
LV V1, Ra           # a[64] in V1 laden
LV V2, Rb           # b[64] in V2 laden
```

```
SV Rc, V3           # V3 in c[64] speichern
```

g)

1P

- Stride von 1:

- Stride von 8:

Lösung 2: Low-Power-Entwurf & Rechnerbewertung

8P

Low-Power-Entwurf

3,5P

a) $S(f_1)$ ist _____ als $S(f_2)$

1P

 $D(f_1)$ ist _____ als $D(f_2)$

b)

2,5P

- Statisch:

- Dynamisch:

- Antwort:

Leistungsbewertung

4,5P

c) Antwort:

1P

Begründung:

d) Formel:

0,5P

Name:

Matrikelnummer:

5/13

e) Kenngrößen:

1,5P

-

-

Bedienzeit:

Maximale Auslastung:

f) Antwort:

1,5P

Begründung:

Lösung 3: Prozessorarchitektur**11P****Sprungvorhersage****8P**

a)

4P

Befehl	Inhalt		Prädiktor 1			Prädiktor 2		
	r0	r1	alt	neu	Vorhersage	alt	neu	Vorhersage
Init	1	3	-	T	-	-	T	-
BRNEQ loop2								
BRNEQ loop2								
BRNEQ loop2								
BREQ loop1								
BRNEQ loop2								
BRNEQ loop2								
BRNEQ loop2								
BREQ loop1								

b) Erklärung:

1P

c) Antwort:

3P

Pipelining**3P**

d) Formeln:

1,5P

- $T_{ohnePipeline}$:

- $T_{mitPipeline}$:

- Speedup:

e) 5-stufige Pipeline mit Konfliktbehandlung:

1,5P

- Berechnung Ausführungszeit:

- Berechnung Speedup:

Lösung 4: Speicherhierarchie**10P****Cache-Kohärenzprotokoll MESI****6P**

a)

Zeile	Prozessor	Aktion	Prozessor 1		Prozessor 2		Prozessor 3	
			Line 1	Line 2	Line 1	Line 2	Line 1	Line 2
0.		init	-	-	-	-	-	-
1.	1	wr 1						
2.	3	rd 2						
3.	2	wr 1						
4.	1	rd 5						
5.	2	rd 5						
6.	3	rd 1						
7.	2	rd 2						
8.	3	wr 4						
9.	2	rd 1						
10.	3	rd 1						

4P

b) Antwort:

1P

Name:

Matrikelnummer:

9/13

c) Antwort:

1P

Cache-Leistung

4P

d) Berechnung:

3P

- Variante A:

- Variante B:

- Empfehlung und Begründung:

e) Antwort:

1P

Lösung 5: Parallele Architekturen und Hardwareentwurf

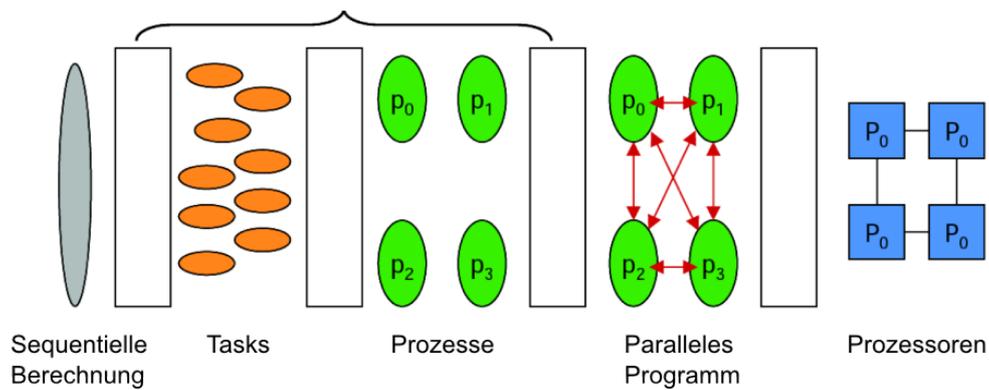
11P

Parallele Architekturen

6P

a)

2P



b)

1P

c)

3P

	Gemeinsamer Speicher	Physikalisch verteilter Speicher
Globaler Adressraum		
Getrennte Adressräume		

Hardware-Entwurf

5P

d)

2P

Vorteile:

-

-

Nachteile:

-

-

e) Syntheseschritte:

3P

-

-

-

Beschreibungen:

-

-

-

c) VLIW-Prozessoren:

4P

Slot 1	Slot 2

System A

Integer	Gleitkomma	Load/Store

System B

Entscheidung: